

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
Taiyuu MIYAMOTO)	Group Art Unit: Unassigned
Application No.: Unassigned)	Examiner: Unassigned
Filed: December 3, 2001)	
For: MICROCOMPUTER)	
)	
)	
)	
)	
)	



CLAIM FOR CONVENTION PRIORITY

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2001-040747

Filed: February 16, 2001

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: December 3, 2001

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

#2

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of
the following application as filed with this Office.

Date of Application : February 16, 2001

Application Number : Japanese Patent Application No. 2001-040747

Applicant(s) : MITSUBISHI DENKI KABUSHIKI KAISHA
MITSUBISHI ELECTRIC SYSTEM LSI DESIGN CORPORATION

This 13th day of April, 2001

Commissioner,
Patent Office Kozo OIKAWA

Certificate No. 2001-3030040

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1040 U.S. PRO
09/998830
12/03/01

#2

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2001年 2月16日

出願番号
Application Number:

特願2001-040747

出願人
Applicant(s):

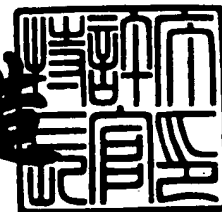
三菱電機株式会社
三菱電機システムエル・エス・アイ・デザイン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3030040

【書類名】 特許願

【整理番号】 529425JP01

【提出日】 平成13年 2月16日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 9/06
G06F 12/14

【発明者】

【住所又は居所】 兵庫県伊丹市中央3丁目1番17号 三菱電機システム
エル・エス・アイ・デザイン株式会社内

【氏名】 宮本 太裕

【特許出願人】

【識別番号】 000006013

・【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 391024515

【氏名又は名称】 三菱電機システムエル・エス・アイ・デザイン株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 マイクロコンピュータ

【特許請求の範囲】

【請求項 1】 メモリ、中央演算装置および周辺ブロックを含む機能ブロックを内蔵したマイクロコンピュータにおいて、上記メモリは書き換え可能な不揮発性メモリを有し、その指定された領域にはロックコードが書かれており、上記不揮発性メモリと接続し、当該ロックコードを読み出しこれをデコードする第 1 のデコード回路と、この第 1 のデコード回路からの出力により外部入力したモードビットに所定の演算処理を行うロジック回路と、このロジック回路の出力を受けて演算処理されたモードビットをデコードしその結果を上記機能ブロックに送出する第 2 のデコード回路とを備えたことを特徴とするマイクロコンピュータ。

【請求項 2】 ロジック回路が AND 回路により構成されることを特徴とする請求項 1 記載のマイクロコンピュータ。

【請求項 3】 メモリ、中央演算装置および周辺ブロックを含む機能ブロックを内蔵したマイクロコンピュータにおいて、上記メモリは書き換え可能な不揮発性メモリを含む内部メモリを有し、上記不揮発性メモリにおける指定された領域にはメモリマップを選択するためのマップ選択コードが書かれており、上記不揮発性メモリと接続され、当該マップ選択コードを読み出しこれをデコードする第 1 のデコード回路と、アドレスバスの所定ビットを用いてデコードし、チップセレクト信号を出力するアドレスデコーダと、上記第 1 のデコード回路の出力と上記アドレスデコーダの出力を受けて上記メモリマップを選択し上記不揮発性メモリを含む内部メモリに対してその結果を送出するセクタ回路とを備えたことを特徴とするマイクロコンピュータ。

【請求項 4】 内部メモリにはマスク ROM が含まれることを特徴とする請求項 3 記載のマイクロコンピュータ。

【請求項 5】 メモリ、中央演算装置および周辺ブロックを含む機能ブロックを内蔵したマイクロコンピュータにおいて、上記メモリには書き換え可能な不揮発性メモリが含まれ、その指定された領域には外部端子の機能を選択するための機能選択コードが書かれており、上記不揮発性メモリと接続され、当該機能選

択コードを読み出しこれをデコードする第1のデコード回路と、上記第1のデコード回路の出力を受けて上記外部端子の機能を選択するセクタ回路とを備えたことを特徴とするマイクロコンピュータ。

【請求項6】 メモリ、中央演算装置および周辺ブロックを含む機能ブロックを内蔵したマイクロコンピュータにおいて、上記メモリには書き換え可能な不揮発性メモリが含まれ、その指定された領域にはコマンドを制限する制限コードが書かれており、上記不揮発性メモリと接続し、当該制限コードを読み出しこれをデコードする第1のデコード回路と、この第1のデコード回路からの出力により使用するコマンドを制限する第2のデコード回路とを備えたことを特徴とするマイクロコンピュータ。

【請求項7】 メモリ、中央演算装置および周辺ブロックを含む機能ブロックを内蔵したマイクロコンピュータにおいて、上記メモリには書き換え可能な不揮発性メモリが含まれ、電源電圧を監視する定電圧回路と、この定電圧回路からの出力により外部入力したモードビットに所定の演算処理を行うロジック回路と、このロジック回路の出力を受けて演算処理されたモードビットをデコードし上記機能ブロックにその結果を送出するデコード回路とを備えたことを特徴とするマイクロコンピュータ。

【請求項8】 書き換え可能な不揮発性メモリがデータ用メモリとプログラム用メモリとから成ることを特徴とする請求項1，3，5，6または7記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えば高速道路自動料金収受システム等のシステム制御などに用いられるマイクロコンピュータに関するものである。

【0002】

【従来の技術】

図7は従来のマイクロコンピュータの構成の一例を示すブロック図であり、図において、3，4は電氣的に書き込み／消去ができる不揮発性メモリであり、主

として、3 がユーザデータを格納するデータ用 E E P R O M であり、4 がユーザのプログラムを格納するプログラム用 E E P R O M である。

【 0 0 0 3 】

また、9 はシリアルインシフトレジスタ、1 0 はモードビットデコード回路、1 1 は中央演算装置 (C P U) 、1 2 はプログラム等を格納しているマスク R O M 、1 3 はデータを一時的に格納する R A M 、1 4 はタイマ、1 5 はシリアル I / O を介して外部とデータ通信する U A R T 、1 6 はデータバス、1 7 は原クロックを指定の分周率に分周するクロック発生回路、1 8 は原クロックを発生させる発振回路、1 9 は外部とデータのやり取りに使用されるポート、2 1 は C N V S S 端子、2 3 は電源端子 (V c c) 、2 4 はグランド (G N D) 、2 5 はリセット端子、2 6 はポート端子 (P O R T) である。

【 0 0 0 4 】

なお、上記に述べた内部メモリ、タイマ 1 4 、U A R T 1 5 等の機能ブロックはデータバス 1 6 によって中央演算回路 1 1 に接続されており、各機能ブロックは中央演算装置 1 1 を介して制御されている。

【 0 0 0 5 】

また、マイクロコンピュータにはプログラム用 E E P R O M 4 およびマスク R O M 1 2 等の内部 R O M に含まれるプログラムをロードして動作するシングルチップモードや、ポート端子 2 6 が外部のメモリにつながるアドレスバス、データバスとなり、外部のメモリよりプログラムをロードして動作するマイクロプロセッサモードなど複数のモードをもっており、それぞれリセットを解除する際に C N V S S 端子 2 1 の電位をラッチしてそれぞれのモードに分岐する。

【 0 0 0 6 】

例えば、リセット解除時、C N V S S 端子 2 1 の電位が 0 V の場合、シングルチップモード、5 V の場合はマイクロプロセッサモードにエントリされる。また、リセット解除時に C N V S S 端子 2 1 よりスタートビット + モードビット 5 ビットをシリアル入力することで、その入力信号をシリアルインシフトレジスタ 9 でラッチしモードビットデコード回路 1 0 によりデコードし、その結果より、各モードにエントリすることもできる。

【 0 0 0 7 】

次に、シリアル入力のモードエントリーの動作について、図 8 を用いて説明する。

図 8 は従来のマイクロコンピュータのモードエントリタイミング図である。図 8 に示すように、リセット端子 2 5 が 0 V の時の C N V S S 端子 2 1 の入力レベルによって、仮モードが決定される。そして、リセット端子 2 5 の立ち上がり時にラッチされ暫定的にその動作モードで動作する。リセット解除後、X i n 4 サイクルをカウント後、スタートビット待ち状態に入る。この後、“1 0 b” というスタートビットを検出するとシリアル受信を開始する。スタートビット検出後、5 ビットのデータをシリアルで受信する。そして、受信結果を次のクロックの立ち下がりでシリアルインシフトレジスタ 9 に書き込む。

【 0 0 0 8 】

なお、スタートビットを検出せず、1 6 サイクル目までにシリアル受信が完了しなかった場合には、リセット解除時に設定された仮モードが正式に決定される。

【 0 0 0 9 】

ここでは、シリアルインシフトレジスタ 9 の 5 ビットのモードビットをモードビットデコード回路 1 0 でデコードし、各モードを決定している。例えば、5 ビットともオール“0”の場合は、シングルチップモード、オール“H”の場合はマイクロプロセッサモードである。

【 0 0 1 0 】

【発明が解決しようとする課題】

従来のマイクロコンピュータは以上のように構成されているので、シリアルインでのモードエントリはユーザ非公開ではあるが、モードの中には、外部端子より内部メモリ（データ用 E E P R O M 3、プログラム用 E E P R O M 4、マスク R O M 1 2）をアクセスできるモードがあり、例えば、データ用 E E P R O M 3 やプログラム用 E E P R O M 4 に書かれている金額データやプログラムが改ざんされるおそれがあるという課題があった。

【 0 0 1 1 】

この発明は上記のような課題を解決するためになされたもので、データ用 E E P R O M やプログラム用 E E P R O M、マスク R O M 等の不揮発性メモリに書き込まれているデータやプログラムの改ざんを防止できるマイクロコンピュータを得ることを目的とする。

【 0 0 1 2 】

【課題を解決するための手段】

この発明に係るマイクロコンピュータは、書き換え可能な不揮発性メモリを有しその指定された領域にはロックコードが書かれており、不揮発性メモリと接続しロックコードを読み出しこれをデコードする第 1 のデコード回路と、その出力により外部入力したモードビットに所定の演算処理を行うロジック回路と、その出力を受けて演算処理されたモードビットをデコードしその結果を機能ブロックに送出する第 2 のデコード回路とを備えたものである。

【 0 0 1 3 】

この発明に係るマイクロコンピュータは、ロジック回路が A N D 回路により構成されるものである。

【 0 0 1 4 】

この発明に係るマイクロコンピュータは、書き換え可能な不揮発性メモリを含む内部メモリを有し、不揮発性メモリにおける指定された領域にはメモリマップを選択するためのマップ選択コードが書かれており、不揮発性メモリと接続されマップ選択コードを読み出しこれをデコードする第 1 のデコード回路と、アドレスバスの所定ビットを用いてデコードしチップセレクト信号を出力するアドレスデコーダと、第 1 のデコード回路の出力とアドレスデコーダの出力を受けてメモリマップを選択し不揮発性メモリを含む内部メモリに対してその結果を送出するセクタ回路とを備えたものである。

【 0 0 1 5 】

この発明に係るマイクロコンピュータは、内部メモリにはマスク R O M が含まれるものである。

【 0 0 1 6 】

この発明に係るマイクロコンピュータは、書き換え可能な不揮発性メモリが含

まれ、その指定された領域には外部端子の機能を選択するための機能選択コードが書かれており、不揮発性メモリと接続され機能選択コードを読み出しこれをデコードする第1のデコード回路と、この出力を受けて外部端子の機能を選択するセクタ回路とを備えたものである。

【0017】

この発明に係るマイクロコンピュータは、書き換え可能な不揮発性メモリが含まれ、その指定された領域にはコマンドを制限する制限コードが書かれており、不揮発性メモリと接続し制限コードを読み出しこれをデコードする第1のデコード回路と、これからの出力により使用するコマンドを制限する第2のデコード回路とを備えたものである。

【0018】

この発明に係るマイクロコンピュータは、書き換え可能な不揮発性メモリが含まれ、電源電圧を監視する定電圧回路と、これからの出力により外部入力したモードビットに所定の演算処理を行うロジック回路と、これの出力を受けて演算処理されたモードビットをデコードし機能ブロックにその結果を送出するデコード回路とを備えたものである。

【0019】

この発明に係るマイクロコンピュータは、書き換え可能な不揮発性メモリがデータ用メモリとプログラム用メモリとから成るものである。

【0020】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1によるマイクロコンピュータの構成を示すブロック図であり、図において、1はロックコードデコード回路（第1のデコード回路）、2はロジック回路（AND回路）、3、4は電氣的に書き込み／消去ができる不揮発性メモリであり、主として、3がユーザデータを格納するデータ用EEPROM（書き換え可能な不揮発性メモリ、内部メモリ、メモリ）で、4がユーザのプログラムを格納するプログラム用EEPROM（書き換え可能な不揮発

性メモリ、内部メモリ、メモリ)である。

【0021】

また、9はシリアルインシフトレジスタ、10はモードビットデコード回路(第2のデコード回路)、11は中央演算装置(CPU)、12はプログラム等を格納しているマスクROM(内部メモリ、メモリ)、13はデータを一時的に格納するRAM(メモリ)、14はタイマ、15はシリアルI/Oを介して外部とデータ通信するUART、16はデータバス、17は原クロックを指定の分周率に分周するクロック発生回路、18は原クロックを発生させる発振回路、19は外部とデータのやり取りに使用されるポート、21はCNVSS端子、23は電源端子(Vcc)、24はグランド(GND)、25はリセット端子、26はポート端子(PORT)である。

【0022】

なお、内部メモリ、タイマ14、UART15等の機能ブロックはデータバス16によって中央演算回路11に接続されており、各機能ブロックは中央演算回路11を介して制御されている。

【0023】

このようなマイクロコンピュータは、内部ROMのプログラムをロードして動作するシングルチップモードや、ポート端子26が外部のメモリにつながるアドレスバス、データバスとなり、外部のメモリよりプログラムをロードして動作するマイクロプロセッサモードなど複数のモードをもっており、それぞれリセットを解除する際にCNVSS端子21の電位をラッチしてそれぞれのモードに分岐する。モードの具体例は従来技術の説明を参照されたい。

【0024】

この発明の実施の形態1によるマイクロコンピュータは、ロックコードデコード回路1とロックコードデコード回路1の出力によりシリアルインシフトレジスタ9のモードビットをマスクするロジック回路(AND回路)2を設けた点に特徴がある。

【0025】

次に動作について説明する。

データ用EEPROM3のある指定された領域1バイト（例えば最上位の1バイト）にロックコード、例えば、16進数により8Dhを書くことにより、どのモードでエントリーされても必ずロックコードで指定されたモードでしか動作できないようにした。これを図2を用いて詳細に説明する。

【0026】

図2はこの発明の実施の形態1によるマイコンのモードビットデコーダ部を示した図であり、モードビットの5ビットをデコードする際、モードビットデコード回路10の直前にロジック回路（AND回路）2を設ける。このロジック回路2はロックコードデコード回路1からの出力でモードビット5ビットをマスクできるような回路になっている。

【0027】

例えば、データ用EEPROM3の最上位1バイトにロックコード8Dhを書く。この8Dhとは、シングルチップ以外禁止というロックコードとする。リセット解除後、そのデータ用EEPROM3の1バイトを読み出し、ロックコードデコード回路1にてデコードする。その結果、8Dhが書かれていればシングルチップモード以外禁止なので、ロックコードデコード回路1からは“L”レベルを出力する。

【0028】

一方、ロックコードデコード回路1から“L”レベルが入力されると、ロジック回路2の出力は“L”レベルに強制的に固定されてしまうため、モードビットデコード回路10の入力が固定されることになる。よって指定されたシングルチップモードに固定されることになる。

【0029】

すなわち、シリアルインによりモードビット5ビットがそれぞれの値に決まろうとも、データ用EEPROM3の最上位1バイトにロックコードを書き込めば、動作モードを固定することができる。

【0030】

以上のように、この実施の形態1によれば、出荷前にロックコードをデータEEPROM3に書き込んでおけば、出荷後にユーザにより自由にエントリはでき

なくなり、外部端子より内部メモリに書かれているデータ、例えば、データ用 E P R O M 3 やプログラム用 E E P R O M 4 に書かれている金額データやプログラムにアクセスされる危険性はなくなるという効果が得られる。

【 0 0 3 1 】

実施の形態 2.

図 3 および図 4 はそれぞれ、この発明の実施の形態 2 によるマイクロコンピュータのメモリマップを示した図と、そのアドレスデコーダ部を示した図であり、図において、5 はセクタ回路、5 a, 5 b, 5 c は A N D 回路、2 0 はアドレスデコーダである。

【 0 0 3 2 】

この実施の形態 2 よるマイクロコンピュータは、ロックコードデコード回路 1 の出力により、2 つのメモリ空間から 1 つのメモリ空間を選択できるようにセクタ回路 5 を設けた点に特徴がある。なお、ロックデコード回路 1 は上記実施の形態 1 のそれと同等のものである。

【 0 0 3 3 】

次に動作について説明する。

データ用 E E P R O M 3 のある指定された領域 1 バイト（例えば、最上位 - 1 の 1 バイト）にメモリマップ選択コードを書くことにより、図 3 に示すメモリマップ（A）（B）を選択できるようにした。これを図 4 を用いて詳細に説明する。

【 0 0 3 4 】

アドレスデコーダ 2 0 はアドレスバス 2 0 ビットを用いてデコードし、E 0 0 0 0 h ~ E F F F F h の時 “L” レベルとなるチップセレクト信号と、F 0 0 0 0 h ~ F F F F F h の時 “L” レベルとなるチップセレクト信号を出力する。もちろん、他の領域、例えば 4 0 0 h ~ 1 F F F h の R A M 領域で “L” レベルとなるチップセレクト信号などもある。

【 0 0 3 5 】

データ用 E E P R O M 3 の（最上位 - 1）の 1 バイトにメモリマップ選択コード、例えば図 3 の（A）のメモリマップを選択する場合は E 0 h、（B）のメモ

リマップを選択する場合はE 0 h以外を書く。仮にここではE 0 hを書くとする。

【 0 0 3 6 】

リセット解除後、そのデータ用E E P R O M 3 の1 バイトを読み出し、ロックコードデコード回路1 にてデコードする。その結果、E 0 h が書かれているので、ロックコードデコード回路1 は“H” レベルを出力する。ロックコードデコード回路1 が“H” レベルを出力することによりセクタ5 のAND回路5 a の出力は“L” レベルに固定され、プログラムE E P R O M 4 の選択信号にはE 0 0 0 0 h ~ E F F F F h のチップセレクト信号が接続される。そして、マスクR O M 1 2 の選択信号にはF 0 0 0 0 h ~ F F F F F h のチップセレクト信号が接続される。その結果、図3 のメモリマップ (A) のように各メモリがマッピングされる。

【 0 0 3 7 】

同様に、データ用E E P R O M 3 の (最上位- 1) の1 バイトにE 0 h 以外を書くと、ロックコードデコード回路1 からは“L” レベルが出力され、今度はAND回路5 b の出力が“L” レベルに固定され、またAND回路5 c の出力も固定されてしまう。その結果、図3 のメモリマップ (B) のように各メモリがマッピングされる。

【 0 0 3 8 】

以上のように、この実施の形態2 によれば、例えばマスクR O M 1 2 にテスト用プログラムを書いておき、テストではマスクR O M 1 2 よりブートしテストする。そして出荷する際はメモリマップ選択コードを書き、マスクR O M 1 2 をユーザから見えなくすることができ、テスト内容のセキュリティを保つことができる効果が得られる。また、マスクR O M 1 2 のプログラムにバグがあった場合、プログラム用E E P R O M 4 に書かれたプログラムに置き換えることができる利点がある。

また、上記実施の形態1 の回路構成と組み合わせることにより、マイクロプロセッサモードでは図3 のメモリマップ (C) に固定すれば、プログラム領域を改ざんされることはない。

【 0 0 3 9 】

実施の形態 3.

図 5 はこの発明の実施の形態 3 によるマイクロコンピュータの外部端子を示した図である。図において、1 はロックコードデコード回路、6 はセクタ回路、6 a, 6 b は AND 回路であり、その他の構成は上記実施の形態 1 と同様だからその説明は省略する。

【 0 0 4 0 】

この実施の形態 3 によるマイクロコンピュータは、上記実施の形態 1 で述べた回路構成に加えて、ロックコードデコード回路 1 の出力により、外部端子の機能を選択できるようにセクタ回路 6 を設けた点に特徴がある。

【 0 0 4 1 】

データ用 E E P R O M 3 のある指定された領域 1 バイト（例えば、最上位 - 2 の 1 バイト）にあるコードを、例えば C 0 h と書くことにより、外部端子の機能を選択できるようにした。例えば、ある外部入力端子をテスト時はタイマの入力信号、製品では U A R T 1 5 の入力信号と 1 つの入力端子を兼用している場合、このコード C 0 h を書くことにより、テスト時の入力信号としての機能を不能にできる。

【 0 0 4 2 】

次に動作について説明する。

図 5 を用いて説明すると、まずデータ用 E E P R O M 3 の（最上位 - 2）の 1 バイトに C 0 h を書く。リセット解除後に、そのデータ用 E E P R O M 3 の 1 バイトを読み出し、ロックコードデコード回路 1 にてデコードする。その結果、C 0 h が書かれていれば、ロックコードデコード回路 1 は “H” レベルを出力する。ロックコードデコード回路 1 が “H” レベルを出力することによりセクタ回路 6 の AND 回路 6 a の出力は “L” レベルに固定され、U A R T 1 5 への入力 は “L” レベル固定となり、外部端子はタイマの入力端子となる。

【 0 0 4 3 】

同様に、データ用 E E P R O M 3 の（最上位 - 2）の 1 バイトに C 0 h 以外を書くと、ロックコードデコード回路 1 からは “L” レベルが出力され、AND 回

路 6 b の出力が “L” レベル固定となる。よって、外部端子は U A R T 1 5 の入力信号となる。

【 0 0 4 4 】

以上のように、この実施の形態によれば、データ用 E E P R O M 3 の領域 1 バイトにあるコードを書くことにより、外部端子の機能を限定する効果が得られる。

【 0 0 4 5 】

実施の形態 4 .

この発明の実施の形態 4 によれば、例えば上記実施の形態 1 の回路構成において、データ用 E E P R O M 3 のある指定された領域 1 バイト（例えば、最上位 3 の 1 バイト）にあるコード、例えば B 0 h を書くことにより、使用できるコマンドを制限する点に特徴がある。

【 0 0 4 6 】

例えば、プログラムを格納しているプログラム用 E E P R O M 4 に関してのコマンド、書き込みコマンド、消去コマンドを、出荷時にこのコード B 0 h を書くことにより使用できなくする。これにより、ユーザによる誤書き込みや意図的な書き換えを防止することができる。

【 0 0 4 7 】

実施の形態 5 .

図 6 はこの発明の実施の形態 5 によるマイクロコンピュータの構成を示すブロック図であり、図において、7 は定電圧回路、8 はロジック回路（A N D 回路）であり、その他の構成は図 7 の従来技術と同様だからその説明は省略する。

【 0 0 4 8 】

この実施の形態 5 によれば、電源電圧（V. c c）を監視する定電圧回路 7 と、この出力によりシリアルシフトインレジスタ 9 のモードビットをマスクするロジック回路 8 を設けた点に特徴がある。

【 0 0 4 9 】

この定電圧回路 7 は電源電圧を監視しており、電源電圧が不十分なとき（例えば、3 V 以下）は、定電圧回路 7 からは “L” レベルが出力されるようになって

いる。そして、モードビットの5ビットをデコードする際、モードビットデコード回路10の直前にロジック回路8を設けており、ロジック回路8は定電圧回路7からの出力でモードビット5ビットをマスクできるような回路となっている。

【0050】

次に動作について説明する。

低い電圧、例えば3V以下で回路動作をさせようとする、定電圧回路7からは“L”レベルが出力される。ロジック回路8に定電圧回路7から“L”レベルが入力されると、ロジック回路8からの出力は“L”レベルに強制的に固定されてしまうため、モードビットデコード回路10の入力が固定されることになる。よって、低い電圧3V以下で動作させようとする、あるモードに固定されることになる。

【0051】

以上のように、上記実施の形態1～4では、データ用EEPROM3内にあるロックコードを書いても、電源電圧(Vcc)が不十分で当該EEPROM3の読み出し動作が不安定になった場合、読み出しデータが化ける可能性がある。そうすると、正常にロックコードをデコードできず、モードがロックされない場合があるが、この実施の形態5によれば、動作不安定域の電源電圧であればロックすることができるため、上記のような不具合を防止できる効果が得られる。

なお、上記実施の形態では、書き換え可能な不揮発性メモリとしてEEPROMを用いて説明したが、代わりにフラッシュメモリ、他のEPROMを用いることもできる。

【0052】

【発明の効果】

以上のように、この発明によれば、書き換え可能な不揮発性メモリを有しその指定された領域にはロックコードが書かれており、不揮発性メモリと接続しロックコードを読み出しこれをデコードする第1のデコード回路と、その出力により外部入力したモードビットに所定の演算処理を行うロジック回路と、その出力を受けて演算処理されたモードビットをデコードしその結果を機能ブロックに送出する第2のデコード回路とを備えてマイクロコンピュータを構成したので、予め

書き換え可能な不揮発性メモリの指定領域に書かれてあるロックコードにより、例えばロジック回路にAND回路を用いれば、当該ロジック回路からの演算処理後の出力を固定することができるので、マイクロコンピュータの動作モードを限定することができ、これにより書き換え可能な不揮発性メモリに含まれるデータやプログラムの改ざんを防止し、セキュリティを向上できる効果がある。

【 0 0 5 3 】

この発明によれば、ロジック回路がAND回路により構成されるので、当該ロジック回路からの出力を固定することができ、上記のように、マイクロコンピュータの動作モードを限定し、書き換え可能な不揮発性メモリに含まれるデータやプログラムの改ざんを防止し、セキュリティを向上できる効果がある。

【 0 0 5 4 】

この発明によれば、書き換え可能な不揮発性メモリを含む内部メモリを有し、不揮発性メモリにおける指定された領域にはメモリマップを選択するためのマップ選択コードが書かれており、不揮発性メモリと接続されマップ選択コードを読み出しこれをデコードする第1のデコード回路と、アドレスバスの所定ビットを用いてデコードしチップセレクト信号を出力するアドレスデコーダと、第1のデコード回路の出力とアドレスデコーダの出力を受けてメモリマップを選択し不揮発性メモリを含む内部メモリに対してその結果を送出するセクタ回路とを備えてマイクロコンピュータを構成したので、予め書き換え可能な不揮発性メモリの指定領域に書かれてあるマップ選択コードによりセクタ回路がメモリマップを選択し切り分けることができ、内部メモリのテスト用プログラムをユーザから隠すことができ、テスト内容のセキュリティを保持できる効果がある。

【 0 0 5 5 】

この発明によれば、内部メモリにはマスクROMが含まれるように構成するので、マスクROMにテスト用プログラムを書いておき、テストではこれを利用するが、出荷の際にはマップ選択コードによりマスクROMを見えなくすることができ、これにより、テスト内容のセキュリティを保持できる効果がある。

【 0 0 5 6 】

この発明によれば、書き換え可能な不揮発性メモリが含まれ、その指定された

領域には外部端子の機能を選択するための機能選択コードが書かれており、不揮発性メモリと接続され機能選択コードを読み出しこれをデコードする第1のデコード回路と、この出力を受けて外部端子の機能を選択するセクタ回路とを備えてマイクロコンピュータを構成したので、予め書き換え可能な不揮発性メモリの指定領域に書かれてある機能選択コードによりセクタ回路が外部端子の機能を限定することができ、例えば、テスト時の入力端子としての機能を不能にでき、テスト内容のセキュリティを保持できる効果がある。

【 0 0 5 7 】

この発明によれば、書き換え可能な不揮発性メモリが含まれ、その指定された領域にはコマンドを制限する制限コードが書かれており、不揮発性メモリと接続し制限コードを読み出しこれをデコードする第1のデコード回路と、これからの出力により使用するコマンドを制限する第2のデコード回路とを備えてマイクロコンピュータを構成したので、予め書き換え可能な不揮発性メモリの指定領域に書かれてある制限コードにより使用するコマンドを制限することができ、ユーザによる誤書き込みや意図的な書き換えを防止し、セキュリティを保持できる効果がある。

【 0 0 5 8 】

この発明によれば、書き換え可能な不揮発性メモリが含まれ、電源電圧を監視する定電圧回路と、これからの出力により外部入力したモードビットに所定の演算処理を行うロジック回路と、これの出力を受けて演算処理されたモードビットをデコードし機能ブロックにその結果を送出するデコード回路とを備えてマイクロコンピュータを構成したので、動作不安定域の電源電圧であれば、定電圧回路がモードをロックするので、書き換え可能な不揮発性メモリの読み出し動作が不安定な場合でも、マイクロコンピュータの動作モードを確実に固定することができ、これにより書き換え可能な不揮発性メモリに含まれるデータやプログラムの改ざんを防止し、セキュリティを向上できる効果がある

【 0 0 5 9 】

この発明によれば、書き換え可能な不揮発性メモリがデータ用メモリとプログラム用メモリとから成るように構成したので、データ用メモリにロックコード、

マップ選択コード、機能選択コード、制限コードを予め書いておくことにより、上記のようなデータ改ざん、タンパーを防止し、セキュリティを保持できる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるマイクロコンピュータの構成を示すブロック図である。

【図 2】 この発明の実施の形態 1 によるマイクロコンピュータのモードビットデコード部を示す図である。

【図 3】 この発明の実施の形態 2 によるマイクロコンピュータのメモリマップを示す図である。

【図 4】 この発明の実施の形態 2 によるアドレスデコード部を示す図である。

【図 5】 この発明の実施の形態 3 によるマイクロコンピュータの外部端子を示す図である。

【図 6】 この発明の実施の形態 5 によるマイクロコンピュータの構成を示すブロック図である。

【図 7】 従来のマイクロコンピュータの構成の一例を示すブロック図である。

【図 8】 従来のマイクロコンピュータのモードエントリタイミング図である。

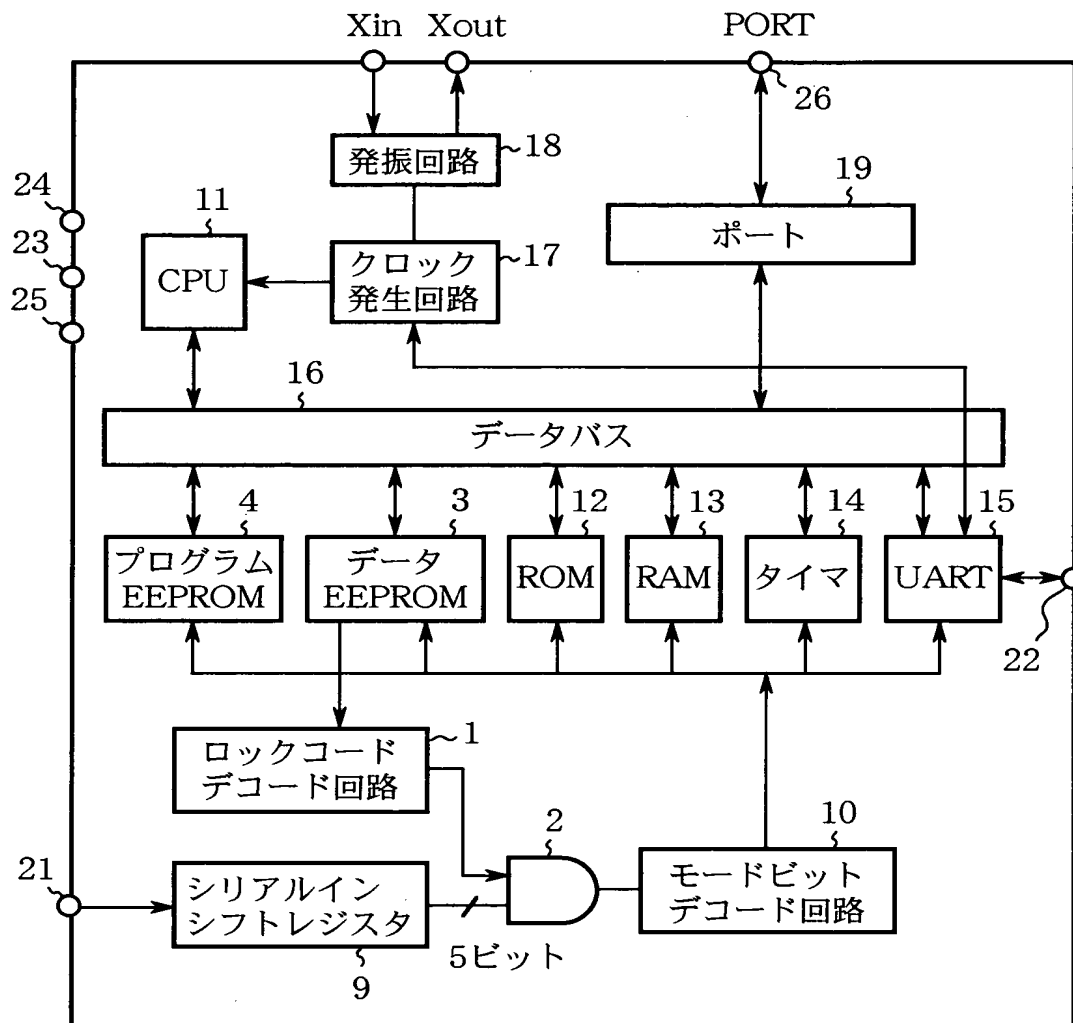
【符号の説明】

1 ロックコードデコード回路（第 1 のデコード回路）、2, 8 ロジック回路（AND 回路）、3 データ用 E E P R O M、4 プログラム用 E E P R O M、5, 6 セレクタ回路、5 a, 5 b, 5 c, 6 a AND 回路、7 定電圧回路、9 シリアルインシフトレジスタ、10 モードビットデコード回路（第 2 のデコード回路）、11 中央演算装置、12 マスク R O M（内部メモリ、メモリ）、13 R A M（メモリ）、14 タイマ、15 U A R T、16 データバス、17 クロック生成回路、18 発振回路、19 ポート、21 C N V S S 端子、23 電源端子（V c c）、24 グランド（G N D）、25 リ

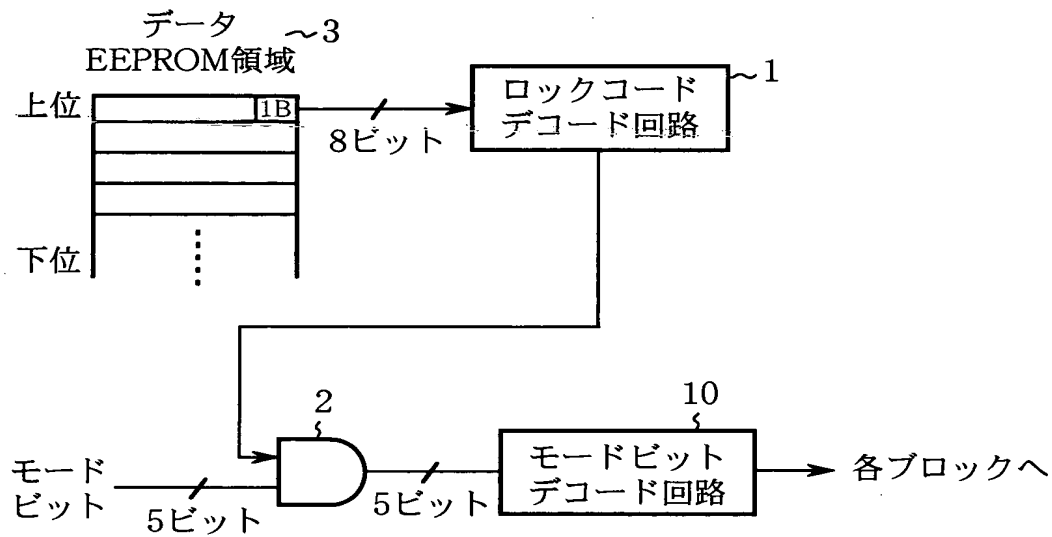
セット端子、26 ポート端子 (PORT)。

【書類名】 図面

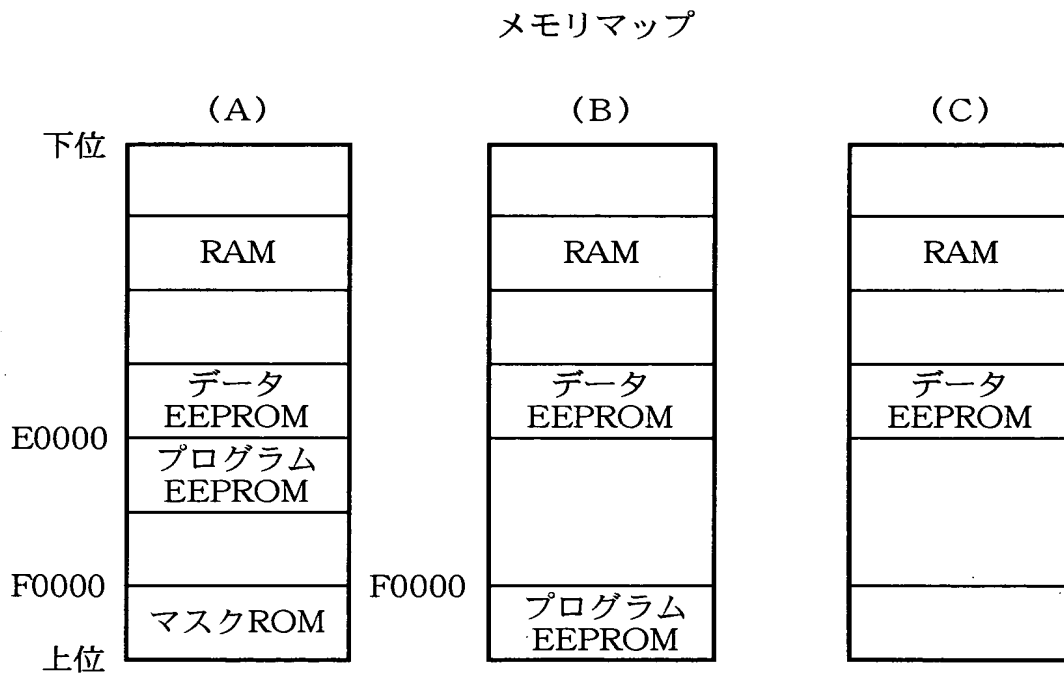
【図 1】



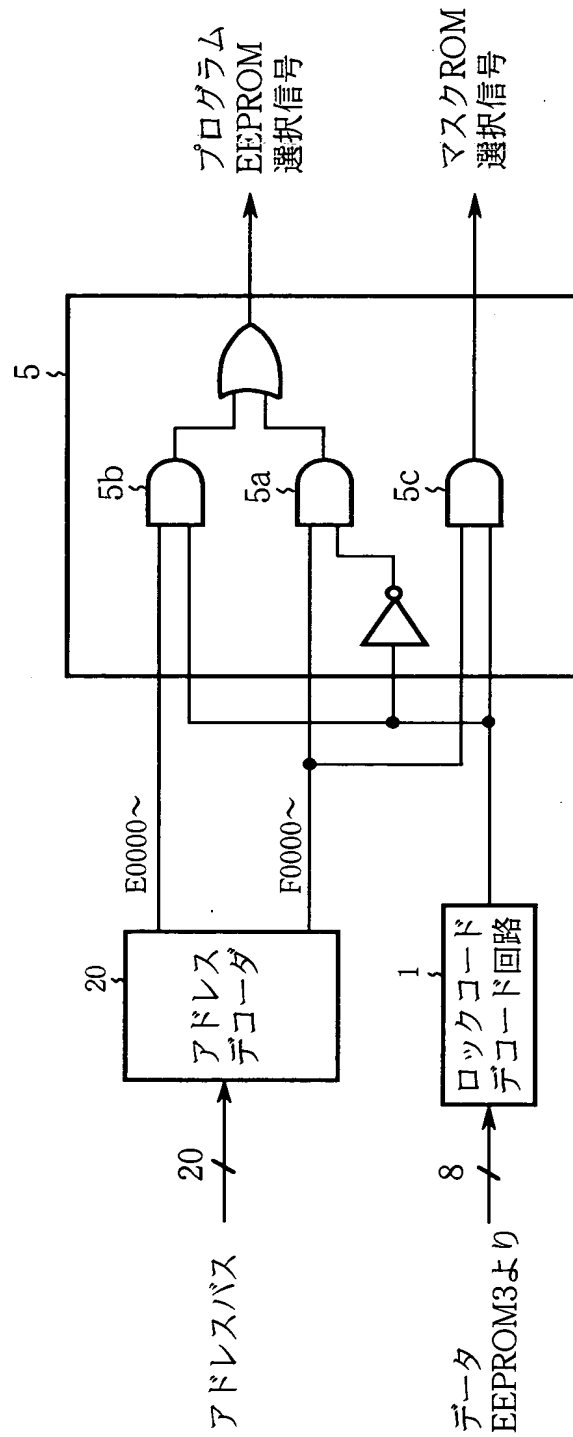
【図 2】



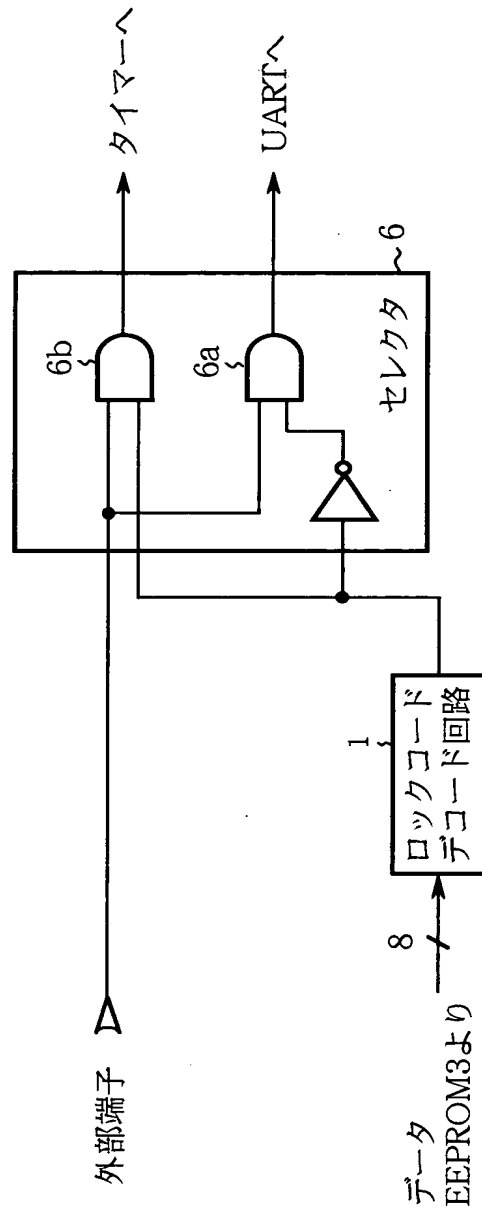
【図 3】



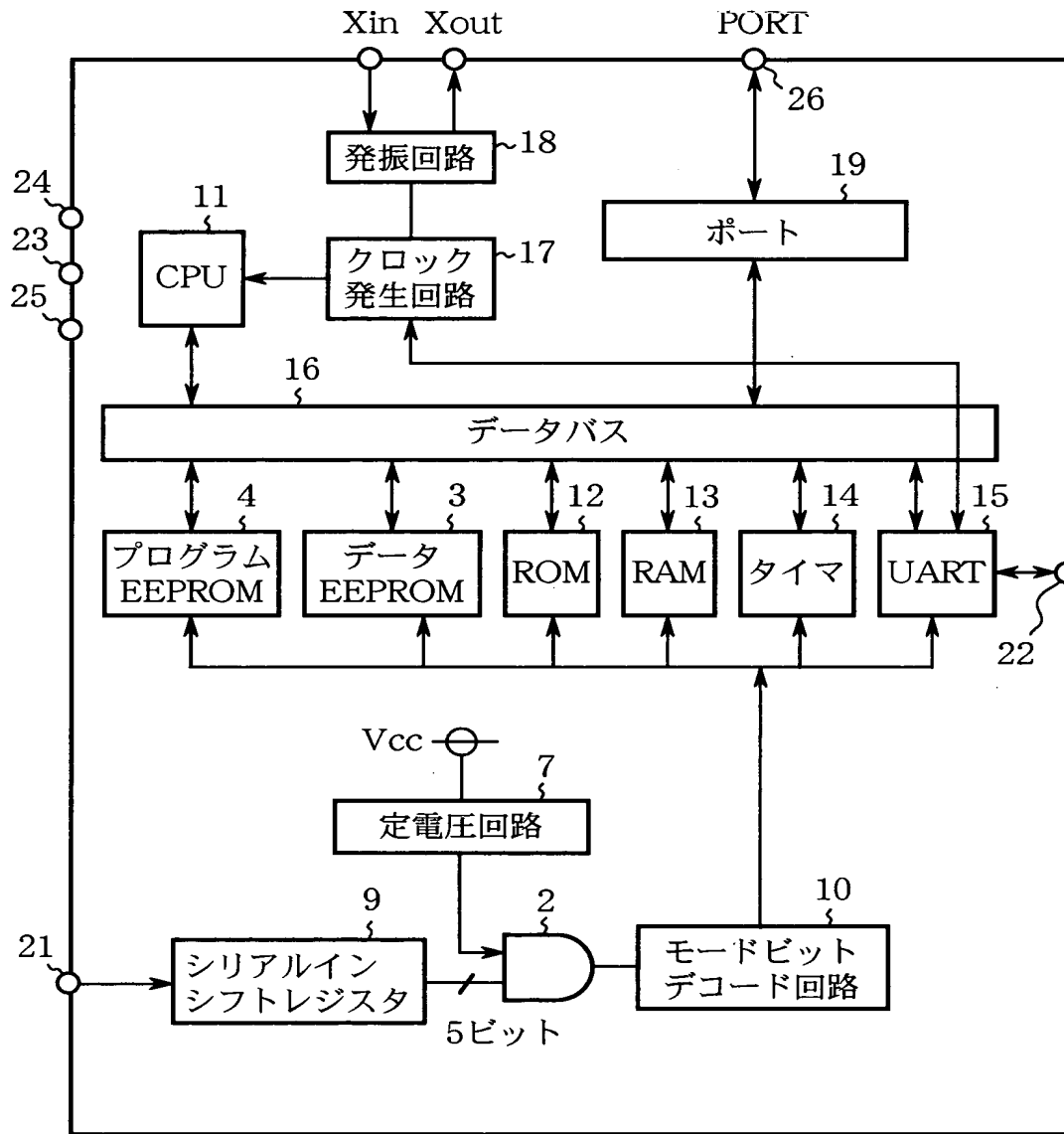
【図4】



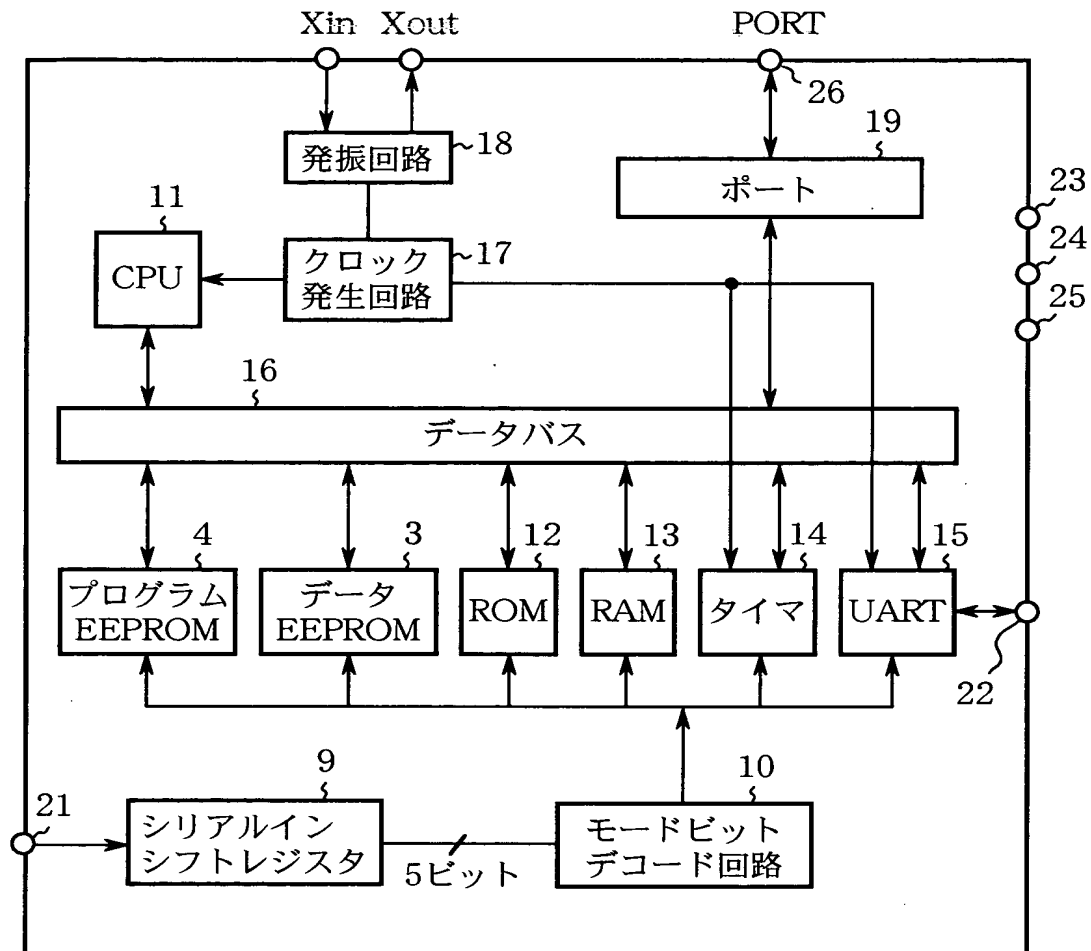
【図5】



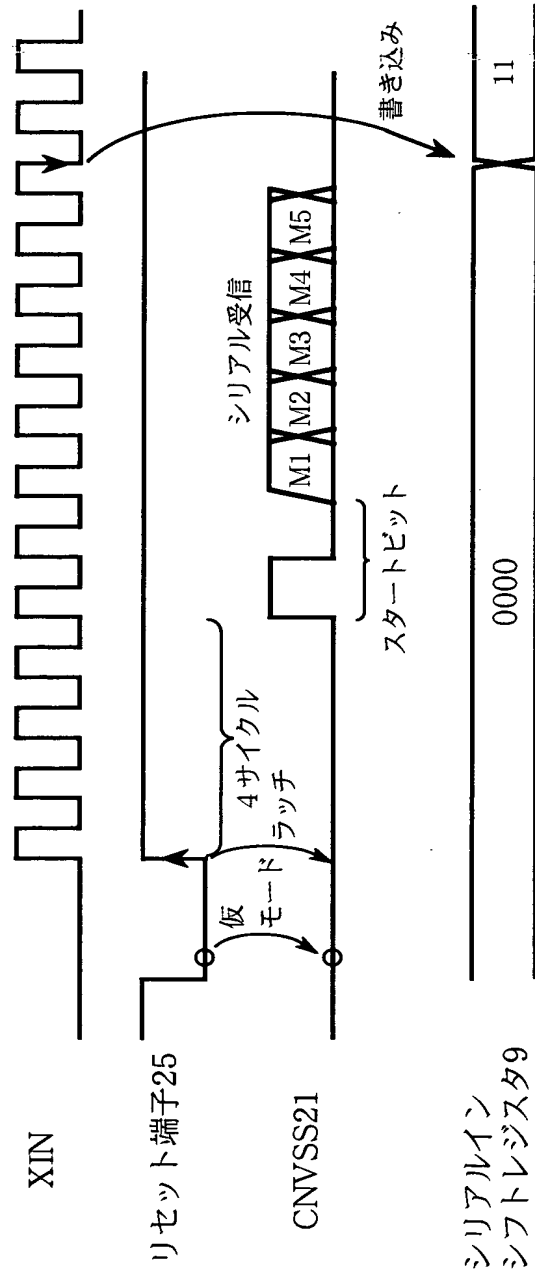
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 データ用EEPROMやプログラム用EEPROM等の書き換え可能な不揮発性メモリに書かれている金額データやプログラムが改ざんされる恐れがあるといった課題があった。

【解決手段】 データ用EEPROMとプログラム用EEPROMを有し、その指定された領域には所定のロックコードが書かれており、データ用EEPROMと接続し、当該ロックコードを読み出しこれをデコードするロックコードデコード回路と、この出力により外部からシリアル入力したモードビットに所定の演算処理を行うロジック回路と、この出力を受けて演算処理されたモードビットをデコードしその結果を機能ブロックに送出するモードビットデコード回路とを備えたマイクロコンピュータを提供する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [3 9 1 0 2 4 5 1 5]

1. 変更年月日	1 9 9 7 年 1 1 月 2 6 日
[変更理由]	名称変更
住 所	兵庫県伊丹市中央3丁目1番17号
氏 名	三菱電機システムエル・エス・アイ・デザイン株式会社